

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-217709

⑬ Int.Cl.
H 03 F 3/45識別記号
厅内整理番号
6628-5J

⑭ 公開 昭和60年(1985)10月31日

審査請求 未請求 発明の数 1 (全 6 頁)

⑮ 発明の名称 演算増幅回路

⑯ 特 願 昭59-72818

⑰ 出 願 昭59(1984)4月13日

⑮ 発明者	岩 利 勝	小平市上水本町1450番地	株式会社日立製作所武藏工場内
⑮ 発明者	横 原 泰 裕	小平市上水本町1450番地	株式会社日立製作所武藏工場内
⑮ 発明者	小 林 勇	小平市上水本町1450番地	株式会社日立製作所武藏工場内
⑮ 発明者	東 條 敏 幸	小平市上水本町1450番地	株式会社日立製作所武藏工場内
⑯ 出願人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地	
⑰ 代理人	弁理士 高橋 明夫	外1名	

明細書

発明の名称 演算増幅回路

特許請求の範囲

1. その出力ダイナミックレンジが第1の所定の出力レベル以上のレベルにおいて低下する第1の演算増幅回路と、その出力ダイナミックレンジが第2の所定のレベル以下のレベルにおいて低下する第2の演算増幅回路と、これら第1、第2の演算増幅回路の出力側と共通の出力端子との間にそれぞれ設けられた一対のアナログスイッチ回路とを含み、入力信号を上記第1、第2の演算増幅回路に共通に供給し、その入力信号レベルに従って、上記ダイナミックレンジが低下する領域ではその上記アナログスイッチ回路をオフ状態にすることを特徴とする演算増幅回路。

2. 上記第1の演算増幅回路は、第1導電型の差動形態の増幅素子を含み、上記第2の演算増幅回路は、第2導電型の差動形態の増幅素子を含み、上記第1及び第2の演算増幅回路の差動形態の増幅素子の一方にそれぞれ上記入力信号が供給され

るようになることを特徴とする特許請求の範囲第1項記載の演算増幅回路。

3. 上記第1、第2の演算増幅回路は、单一の電源電圧で共に動作するものであることを特徴とする特許請求の範囲第1項記載の演算増幅回路。

4. 上記一対のアナログスイッチ回路は、入力信号の交流的中点電位を境にして、相補的に切り換え動作を行うものであることを特徴とする特許請求の範囲第1又は第3項記載の演算増幅回路。

5. 上記一対のアナログスイッチ回路は、入力信号の交流的中点電位付近の一定レベルの範囲で共にオン状態にされるものであることを特徴とする特許請求の範囲第1又は第3項記載の演算増幅回路。

6. 上記第1、第2の演算増幅回路は、それぞれ負帰還増幅動作を行うものであり、上記それぞれ設けられたアナログスイッチ回路は、その負帰還ループ内に設けられるものであることを特徴とする特許請求の範囲第1、第2、第3、第4又は第5項記載の演算増幅回路。

発明の詳細な説明

〔技術分野〕

この発明は、演算増幅回路に関するもので、例えば、一電源で動作する演算増幅回路に利用して有効な技術に関するものである。

〔背景技術〕

MOSFET（絶縁ゲート型電界効果トランジスタ）を用いた演算増幅回路として、第1図に示すような回路が考えらる。この回路は、差動形態にされたNチャンネルMOSFET Q1, Q2の共通ソースと回路の接地電位点との間に定電流源を設け、それぞれのドレインと電源電圧Vccの間に、電流ミラー形態のPチャンネルMOSFET Q3, Q4からなるアクティブ負荷回路を設けたものである。このような差動増幅回路（演算増幅回路）にあっては、上記定電流源や増幅MOSFET Q1, Q2の動作電圧によって、第2図に実線で示すように出力信号のロウレベル（回路の接地電位側）が接地電位まで得られないため（ダイナミックレンジが狭くなる）、出力信号がクリッ

特開昭60-217709(2)

プされてしまう。このため、出力信号が大きな領域で出力波形に歪が生じてしまうという問題がある。一方、NチャンネルMOSFET Q1, Q2に代え、PチャンネルMOSFETを差動増幅素子として使用すると、上記定電流源が電源電圧側に設けられることになると、逆に電源電圧Vcc側に出力信号のクリップ状態が生じて同様な問題が生じる。（差動形態のMOSFETを用いた増幅回路については、例えば1980年10月27日発行、雑誌「日経エレクトロニクス」第152頁ないし177頁参照）

〔発明の目的〕

この発明の目的は、出力ダイナミックレンジの拡大を図った演算増幅回路を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、第1導電型の差動形態の増幅素子を含み、その出力ダイナミックレンジが所定の出力以上のレベルで低下する第1の演算増幅回路と、第2導電型の差動増幅素子を含み、その出力ダイナミックレンジが所定の出力レベル以下のレベルで低下する第2の演算増幅回路の出力側と共通の出力端子との間にそれぞれ一対のアナログスイッチ回路を設け、その入力信号レベルに従って、アナログスイッチ回路を切り換えて、上記ダイナミックレンジが悪化するそれぞれ動作領域での増幅動作を停止させるものである。

〔実施例1〕

第3図には、この発明の一実施例の回路図が示されている。特に制限されないが、同図の各回路は、公知の半導体集積回路の製造技術によって、単結晶シリコンのような半導体基板上において形成される。また、同図では、この発明をポルテージフォロワ回路に適用した場合の一実施例が示されている。

この実施例では、出力ダイナミックレンジの拡

大を図るため、2つの演算増幅回路OP1とOP2とが利用される。すなわち、第1の演算増幅回路OP1の非反転入力(+)には、入力端子INからの入力信号が供給される。また、その出力端子と、反転入力端子(-)との間には、並列形態のPチャンネルMOSFET Q5とNチャンネルMOSFET Q6とで構成されたアナログスイッチが設けられる。

一方、第2の演算増幅回路OP2の非反転入力(+)には、入力端子INからの入力信号が供給される。また、その出力端子と、反転入力端子(-)との間には、並列形態のPチャンネルMOSFET Q7とNチャンネルMOSFET Q8とで構成されたアナログスイッチが設けられる。

上記一対のアナログスイッチの反転入力端子(-)側は、共通化されて出力端子OUTに接続される。また、上記アナログスイッチ回路の相補的に切り換えるため、言い換えるならば、上記演算増幅回路OP1, OP2によるポルテージフォロワ出力動作を相補的に行わせるため、切り替え制

御信号Cが上記NチャンネルMOSFET Q6とPチャンネルMOSFET Q7のゲートに共通に接続される。また、上記制御信号Cを受けるインバータ回路IVによって形成された反転信号が上記PチャンネルMOSFET Q5とNチャンネルMOSFET Q8のゲートに供給される。

この実施例における第1の演算増幅回路OP1は、第4図に示したように、差動増幅MOSFETがPチャンネルMOSFET Q9とQ10により構成され、その共通ソースと電源電圧Vccとの間に、定電流源が設けられる。また、上記差動増幅MOSFET Q9、Q10のドレインには、電流ミラー形態にされたNチャンネルMOSFET Q11とQ12がアクティブ負荷回路として設けられる。したがって、この第1の演算増幅回路OP1は、定電流源が電源電圧側に設けられることによって、電源電圧側の出力レベルがクリップされてしまう。

また、第2の演算増幅回路OP2は、上記第1図に示したような差動増幅MOSFETがNチャ

ンネルMOSFET Q1とQ2とで構成され、その共通ソースと回路の接地電位点との間に定電流源が設けられるものである。したがって、上述のように、この第2の演算増幅回路OP2は、定電流源が回路の接地電位側に設けられることによって、回路の接地電位側の出力レベルがクリップされてしまうものとなる。

そこで、この実施例では、制御信号Cにより交流的中点電位を境にしてロウレベル（回路の接地電位側）の出力信号は、上記第1の演算増幅回路OP1により形成する。言い換えるならば、上記制御信号Cをハイレベルにして、第1の演算増幅回路OP1側に設けられたNチャンネルMOSFET Q6とその反転信号によってPチャンネルMOSFET Q5とをオン状態にするものである。一方、制御信号Cにより交流的中点電位を境にしてハイレベル（回路の電源電圧側）の出力信号は、上記第2の演算増幅回路OP2により形成する。言い換えるならば、上記制御信号Cをロウレベルにして、第2の演算増幅回路OP1側に設けられた

PチャンネルMOSFET Q7とその反転信号によってNチャンネルMOSFET Q8とをオン状態にするものである。

制御信号Cは、特に制限されないが、入力端子INの入力信号と所定の電圧レベルを比較する電圧比較回路と、その電圧比較回路の出力信号を受けるインバータ回路のようなバッファ回路とによって形成することができる。

このような演算増幅回路OP1とOP2の切り換えによって、第5図に示すように、交流的中点電位0を境にして、負(-)側では、演算増幅回路OP1が動作するので、ほゞ回路の接地電位までの出力信号を形成することができる。また、交流的中点電位0を境にして、正(+)側では、演算増幅回路OP2が動作するので、ほゞ電源電圧Vccまでの出力信号を形成することができる。これによって、出力ダイナミックレンジの拡大が図られ、出力信号がクリップされることによる信号歪が大幅に低減される。また、この実施例回路では、上記アログスイッチが負帰還ループ内に設

けられているので、アログスイッチを構成する各MOSFETの動作インピーダンスが高くても、言い換えると各MOSFETが小さい寸法とされていても100%の帰還を行うボルテージフォローウ回路にあっては、インピーダンス変換をしつつ非反転入力端子(+)に供給された入力信号と忠実に対応する出力信号を出力させることができる。

〔実施例2〕

第6図には、この発明の他の一実施例の回路図が示されている。この実施例では、それぞれの演算増幅回路OP1、OP2の出力信号が直接にその反転入力端子(-)に供給され、それぞれの出力信号が上記第3図に示したアログスイッチを介して共通の出力端子OUTに接続されている。この実施例の動作は、上記第3図の実施例回路とほゞ同じである。

この実施例においては、それぞれのアログスイッチが、演算増幅回路OP1又はOP2における負帰還ループから外れており、出力端子OUTにおける出力インピーダンスは、それぞれアロ

グスイッチにおける動作インピーダンスによって制限される。従って、出力端子OUTにおける出力インピーダンスを低下させたいときには、アナログスイッチを構成する各MOSFETの動作インピーダンスを低下させるようにそれぞれの寸法、特にチャンネル幅を大きくする必要のあることに注意しなければならない。

この実施例回路は、アナログスイッチQ5ないしQ8によって信号の切り替えが行われたとき、出力端子OUTに生ずる恐れるある不所望な電位変動を十分小さくでき、高速動作が可能であるという特徴をもつ。

すなわち、この実施例の前記第3図の実施例とを対応した場合、前記第3図の実施例は、アナログスイッチQ5、Q6とQ7とQ8の一方のオフ状態によって演算增幅回路OP1とOP2の一方の出力端子と反転入力端子との間の負帰還ループが断たれていることになり、従って演算增幅回路OP1とOP2の一方がオープンループゲインの状態をもって動作することに注意する必要がある。

そこで、今、第3図の回路においてMOSFET Q5とQ6とがオフ状態であれば、演算增幅回路OP1は、入力端子INに与えられた入力信号と、演算增幅回路OP2によって出力端子OUTに与えられる出力信号とのレベルをフルゲインをもって増幅することになる。そのため、演算增幅回路OP1とOP2とが互いに異なるオフセット電圧を持っていると、演算增幅回路OP1は、入力端子INの信号レベルと大きく異なるレベルの信号、すなわち、オフセット電圧差をフルゲインを持って増幅したレベルの信号を出力する。そこで、前記第3図の実施例の場合、アナログスイッチQ5、Q6とQ7、Q8の切り替え速度の制限によって演算增幅回路OP1とOP2に対する負帰還が同時に有効となる期間が生ずるようにするなどの方法によって、出力端子OUTに異常レベルの信号が供給されてしまうことを防ぐことが必要となる。それに応じて、高速動作がやや難しくなる。

これに対して、第6図の実施例の場合、それぞれの演算增幅回路に対する負帰還ループがアナロ

グスイッチの動作にかかわらず常に有効とされているので、それぞれの演算增幅回路は、入力信号と実質的に対応したレベルの信号を出力している。そのため、アナログスイッチを高速で動作させることができる。

【実施例3】

第7図には、この発明の更に他の一実施例の回路図が示されている。この実施例では、上記第3図の実施例回路とは次の点が異なっている。すなわち、各アナログスイッチは、それぞれ相補的な制御信号C1、 $\bar{C}1$ 及びC2、 $\bar{C}2$ によって制御される。そして、これらの制御信号C1、 $\bar{C}1$ とC2、 $\bar{C}2$ は、第8図に示すように、交流的中点電位付近で両アナログスイッチを共にオン状態にする。この理由は、上記第3図又は第6図の実施例回路のように交流的中点電位0を境にして切り換えると、両演算增幅回路OP1とOP2との入出力伝達特性のバラツキがあると、その切り換える点付近で入出力の直線性が損なわれる虞れがある。そこで、第8図に示すように、入出力信号Vin、

Voutが負の最大値から中点電位0を超えた一定のレベルまでの領域では、制御信号C1をハイレベル($\bar{C}1$ をロウレベル)にして、第1の演算增幅回路OP1のアナログスイッチをオン状態にする。また、入出力信号Vin、Voutが負の一定のレベルから正の最大値までの領域では、制御信号C2をハイレベル($\bar{C}2$ をロウレベル)にして、第2の演算增幅回路OP2のアナログスイッチをオン状態にする。これによって、中点電位0付近の一定のレベルでは、両演算增幅回路OP1とOP2が共に動作状態になって、その平均化された出力信号が形成されるため、切り換える時の直線性を保つことができる。

なお、上記実施例において、切り換える信号C(C1、C2)は、入力信号のレベルを検出する電圧比較回路により形成するもの他、例えば、この実施例のボルテージフォロワ回路をD/A変換回路における出力回路として利用する場合には、その入力ディジタル信号が用いられる。例えば、直列抵抗回路によって2ⁿの電圧を形成してお

て、これをディジタル信号によって切り換えられるスイッチトリーによって選択することによりアナログ信号を形成する方式では、その出力インピーダンスが高いので、上記のようなインピーダンス变换のための出力回路が必要になる。

〔実施例4〕

第9図は、アナログスイッチを制御するための制御信号を必要としない実施例の回路図である。

この実施例においては、アナログスイッチとしてのNチャンネルMOSFET Q6及びPチャンネルMOSFET Q7のそれぞれのゲートには電圧源PSによって形成される直流電圧V1, V2が供給される。MOSFET Q6は、演算増幅回路OP1の出力レベルがV1-VTH1（但しVTH1はMOSFET Q6のしきい値電圧）よりも上昇すると、言い換えるとソースとして動作する電極G1とゲートとの間の電位差がそのしきい値電圧よりも小さくなると、それに応じて自動的にオフ状態となる。これに対してMOSFET Q7は、演算増幅回路OP2の出力レベルがV2-

特開昭60-217709(5)

VTH2（但しVTH2はMOSFET Q7のしきい値電圧）よりも低下するとオフ状態となる。

これに応じて、低出力レベルにおける出力ダイナミックレンジのひろい演算増幅回路OP1と高出力レベルにおける出力ダイナミックレンジのひろい演算増幅回路OP2がMOSFET Q6, Q7によって自動的に選択されることになり、出力端子OUTには広い変化範囲の信号を得ることができます。

演算増幅回路OP1とOP2は、それぞれ出力VO1とVO2がV1-VTH1よりも低くかつV2-VTH2よりも高い範囲において同時に選択される。演算増幅回路OP1とOP2が同時に選択される範囲は上記のようなしきい値電圧を考慮した上で電圧V1とV2とを適当に設定することによって適当に設定できる。

この実施例では、アナログスイッチを構成するMOSFETの数を減少できるとともに、前記各実施例で必要とされたような制御信号Cなどを形成するための回路を必要としないという特徴を有

する。

〔効 果〕

(1) 演算増幅回路を構成する差動増幅回路として、負側と正側に定電流源が設けられる一対の演算増幅回路を用い、アナログスイッチによってその出力信号の極性に応じて切り換えて両演算増幅回路のダイナミックレンジの大きい方のみを使用することによって、出力ダイナミックレンジの拡大を図ることができるという効果が得られる。

(2) 上記(1)により、入力信号と出力信号の伝達特性が広範囲にわたって直線性の向上が達成できるから、出力信号の低歪率化を実現することができるという効果が得られる。

(3) アナログスイッチを演算増幅回路における帰還ループ内に設けることによって、そのコンダクタンス特性により出力信号レベルが影響を受けなくすることができるから、ポルテージフォロワ回路にあっては、高忠実度の出力信号を形成することができるという効果が得られる。

(4) アナログスイッチを交流的中点電位付近の一定

のレベル範囲で共にオン状態にすることによって、切り換える時の入出力伝達特性の直線性の向上を図ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、各演算増幅回路は、正の電源と負の電源との二電源で動作させるものであってもよい。さらに、第1図及び第4図の演算増幅回路には、ソースフォロワ回路の出力MOSFETを設けるものあってもよく、また、その負荷回路は、抵抗素子により構成するものであってもよい。さらに、各増幅素子はバイポーラ型トランジスタにより構成するものであってもよい。

〔利用分野〕

この発明は、演算増幅回路として広く利用できるものである。

図面の簡単な説明

第1図は、演算増幅回路の一例を示す回路図、

第2図は、その動作を説明するための出力波形図、

第3図は、この発明の一実施例を示す回路図、
第4図は、上記第3図の演算増幅回路の一実施例を示す具体的回路図、

第5図は、その動作を説明するための出力波形図、

第6図は、この発明の他の一実施例を示す回路図、

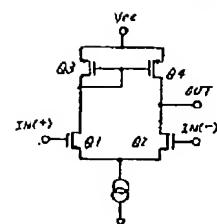
第7図は、その動作を説明するための入出力伝達特性図、

第8図は、この発明の他の一実施例を示す回路図である。

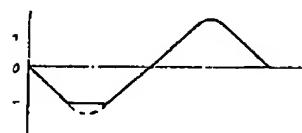
OP1, OP2…演算増幅回路、IV…インバータ回路

代理人弁理士 高橋 明夫

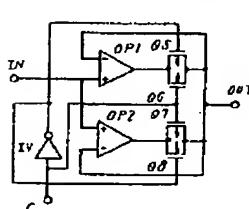
第1図



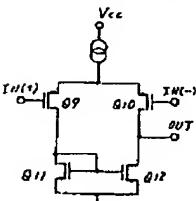
第2図



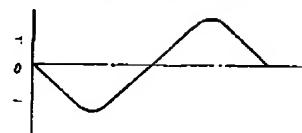
第3図



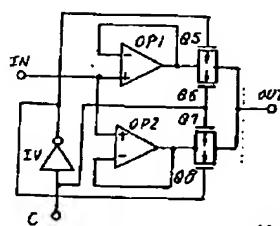
第4図



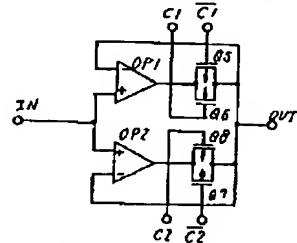
第5図



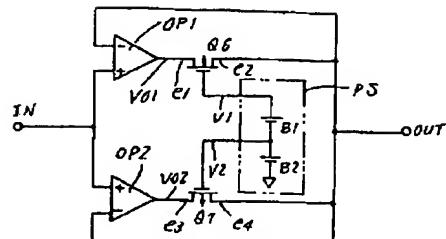
第6図



第7図



第9図



第8図

